

ШЕСТНАЙСЕТИБИТОВА СИСТЕМА ЗА ПРЕПЕРИОДНО ИЗВАЖДАНЕ, ИЗГРАДЕНА СЪС СУМАТОРИ

Михаил П. Желязов, Иля Резниченко, София Узунова

София, България, sofia.uzunova@abv.bg

София, България, mjeliazov@abv.bg

SIXTEEN-BIT SYSTEM FOR PRE-PERIODIC SUBTRACTION, BUILT WITH ADDITIVES

Mihail P. Zhelyazov, Ilq Reznichenko, Sofia Uzunova

ABSTRACT:

The report proposes a 16-bit SSDC for a one-time STI, built with adders of the system for pre-period subtraction within the SSDC. The obtained circuit has improved parameters of amplitude-velocity characteristic and absence of blind speeds in a wide bandwidth in operating mode.

Key words: SSDC - system for selection of moving targets, PPI - pre-period subtraction, MCS-51, repetition period wobble, amplitude-velocity characteristic.

УВОД

Схемата (фиг.1) се състои от:

- програмируем часовник - ICS525-01 който генерира честота за АЦП LTC2203;
- кварцов генератор, който генерира честотата на часовника;
- четири четири-битови брояча - 74НС161, необходими за записване на информацията в адреса на паметта от АЦП;
- двупортова статична асинхронна оперативна памет - 70V9389PF с капацитет 64К x16 бита;
- четири четирибитови суматора - CD54НС283;
- три инвертора - 74НСТ140.

В схемата няма делители и усилватели на напрежение, тъй като всички напрежения са съгласувани. Входящият модул на АЦП е конструиран в съответствие с препоръчаното в документация на съответния АЦП [2]. Програмираният часовник - ICS525-01 работи при захранващо напрежение 3,3 В, неговото високо ниво на изходното напрежение (логическата единица) е 3,3 – 0,4 = 2,9, В [30]. Минималното високо ниво на входното напрежение за АЦП при собствено захранване 3,3, В е 2, В, а изходното напрежение на високо ниво е 3,3, В [2]. Минималното входно напрежение на високо ниво за броячи 74НС161 при захранване 3,3, В е 2,5, В, а изходното напрежение на високо ниво е 3,3, В [6]. Минималното входно напрежение на високо ниво за памет 70V9389PF със захранване 3,3, В е 2, В, а изходното напрежение на високо

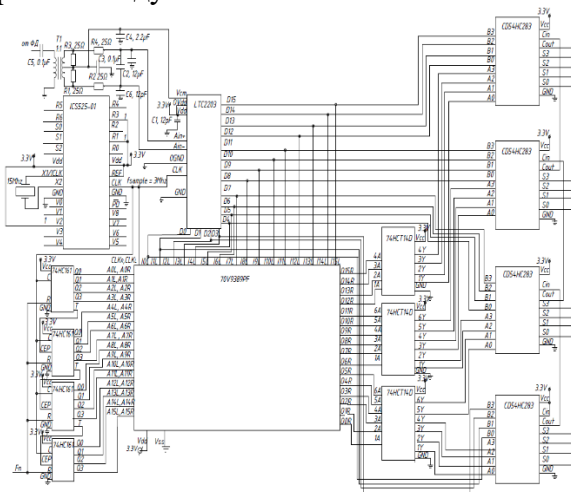
ниво е 3,3, В [25]. Минималното високо ниво на входното напрежение за суматора CD54НС283 при 3.3, В е 2.5, В, а изходното напрежение на високо ниво е 3.3, В [3]. Минималното високо ниво на входното напрежение за инвертора 74НСТ140 при 3.3, В захранване е 2.5, В, а изходното напрежение на високо ниво е 3.3, В [1].

ИЗЛОЖЕНИЕ

Схемата работи по следния начин:

Сигналът на фазовия детектор се подава към АЦП, където се преобразува в цифрова 16-битова дума, честотата на сеплиране за АЦП се генерира от програмируем часовник ICS525-01, който при входен сигнал с честотата 15, МХц от кристалният осцилатор и установена логическата единица на съответните пинове. Ако честотата на кварца е 15, МХц и необходимата изходна честота е 3, МХц, необходимо е да се приложи нивото на логическата единица към пинове V2, R3, R1. (За да се определят пиновете се използва компютърна програма, създадена от производителя на часовника). За адресиране на паметта се изискват четири брояча на четири бита, когато часовникът генерира честотата на дискретизация, адресът се увеличава и съответно, когато се прилага период на повторение (към входовете за reset), адресът се нулира. По адреса, определен от броячите, се записва шестнадесетбитова дума от АЦП. За да се извърши изваждането, с помощта на

суматори на думата от изхода на АЦП и думата, задържана от паметта на един период на повторение, е необходимо да се превърне думата, задържана от паметта, в допълнителен код. За да се направи това, първо е необходимо да тя да се инвертира, като се използват трите инвертора - 74НСТ140, след което към ниския бит на суматора се прибавя бит за пренесяне (carry bit) (високо логическо напрежение на входа *Cin* на младшия суматор). Това действие е аналогично на добавяне на двоична единица. По този начин, на всеки суматор CD54НС283 постъпват четири бита от изхода на АЦП и закъснелите четири бита от изхода на паметта, които се сумират, а на изхода на системата се получава шестнадесетбитова разлика в думите.



Фиг. 1. Принципа схема на шестнайсетбитова система за презпериодно изваждане, изградена със суматори.

Спецификация на елементите в схемата за еднократно ПШИ, изградена със суматори

Таблица 1

№	Вид	Наименовани е	Б.р.	Забел.
1	Програмируем часовник	ICS525-01	1	3,3 В
2	АЦП	LTC2203	1	3,3 В, 16 бит
3	Четирибитов брояч	174НС161	4	3,3 В
4	Двухпорт на статична асинхрон	70V9389PF	1	3,3 В захранване, капацитет

	на оператив на памет			тет 64К x16 бита
5	Суматор	CD54НС283	4	3,3 В
6	Инвертор	74НСТ14D	3	3,3 В
7	Кристалният осцилатор	HCM4915000 000АВJT	1	Честота 15 МХц
8	Трансформатор	ETC1-1Т-2TR	1	1:1
9	Резистор	RCP0603W25 R0GEB	4	25 Ω
1	Кондензатор	COM-08375	2	0,1 μF
1	Кондензатор	WB40120/A	3	12 μF
1	Кондензатор	PEG124 2,2М 40	1	2,2 μF

ЗАКЛЮЧЕНИЕ

Възможен е и друг вариант за техническа реализация, когато операцията на изваждане, или сравняване се извършва с помощта на цифров сигнален процесор (DSP), или с помощта на програмируеми от потребителя матрици (FPGA). Като се имат предвид трудностите при създаването на програмата и невъзможността за отстраняване на грешки при отсъствие на дебъгерна дъска, както и разходите (в случая на FPGA), използването на такова решение ще бъде оправдано само при значително по-висока честота на сигнала и при внедряването на по-сложни алгоритми. Предимствата на цифровия сигнален процесор в сравнение с изпълнението на FPGA са:

- по-голяма гъвкавост при разработването на филтри;
- позволява динамична промяна на системата;
- по-ниска цена;
- по-малка сложност при проектирането и програмирането.

Предимството на внедряването на FPGA е възможността за организиране на паралелни изчисления, тоест по-високото бързодействие при работа (за разлика от микропроцесорната едноядрената реализация, където кодът се изпълнява последователно, в някои едноядрени DSP

има две аритметично-логически устройства (АЛУ) и акумулатори с основни регистри, което позволява да извършват паралелни операции и съответно получаване на по-висока скорост.)

Възможно е също така, да се замени цялата схема с един микроконтролер, който има достатъчна скорост и капацитет на памет.

ЛИТЕРАТУРА

1. 74HC/HCT14 Hex inverting Schmitt trigger [Електронен ресурс]. [Режим на достъп]: https://media.it-tronics.de/Datasheets/Active_Components/ICs/74HCT140.pdf
2. ADC LTC2203 [Електронен ресурс]. [Режим на достъп]: <https://www.analog.com/media/en/technical-documentation/data-sheets/22032fd.pdf>
3. ADC0808/ADC0809 8-Bit μ P Compatible A/D Converters with 8-Channel Multiplexer [Електронен ресурс]. [Режим на достъп]: <http://www.ti.com/lit/ds/symlink/adc0808-n.pdf>
4. CD54HC283, CD74HC283, CD54HCT283, CD74HCT283 High-Speed CMOS Logic 4-Bit Binary Full Adder with Fast Carry [Електронен ресурс]. [Режим на достъп]: <http://www.ti.com/lit/ds/symlink/cd54hc283.pdf>
5. Ghoshal Subrata 8051 Microcontroller: Internals, Instructions, Programming & Interfacing // Pearson Education India, 2010 - 512 стр.
6. HIGH-SPEED 3.3V 64K x18/x16 ASYNCHRONOUS PIPELINED DUAL-PORT STATIC RAM IDT70V9389/289L [Електронен ресурс]. [Режим на достъп]: <https://www.idt.com/document/dst/70v9389289-data-sheet>
7. High-Speed CMOS Logic Presettable Counters CD54/74HC161, CD54/74HCT161, CD54/74HC163, CD54/74HCT163 [Електронен ресурс]. [Режим на достъп]: <http://www.ti.com/lit/ds/schs154d/schs154d.pdf>